

研究課題（テーマ）		極限動作 CMOS デバイス実現に向けた SiF ₄ 添加酸化を応用した SiC p 型デバイスの実証	
研究者	所属学科等	職	氏 名
代表者	電気電子工学科	准教授	岡本 大
分担者			外部機関の協力者 1 名
研究結果の概要			
本研究は、原発廃炉作業などの極限環境下で不可欠となる「耐放射線 CMOS イメージセンサ」の実現を最終的な目的とするものです。次世代半導体材料である SiC は優れた物性を持つ一方で、SiO₂/SiC 界面に高密度に存在する欠陥が、デバイスの動作特性や信頼性を大きく損なう要因となっています。代表者らはこれまでの研究において、n 型 SiC に対し SiF₄ 添加酸化法を見出し、F 原子を SiO₂/SiC 界面へ導入することで界面欠陥密度を従来比で約 10 分の 1 に低減することに成功しました。本研究では、この n 型 SiC に対して実証された手法を基盤とし、初めて p 型 SiC へと応用展開しました。 具体的な研究プロセスとして、まず本学クリーンルーム内の半導体作製装置群を活用し、p 型 4H-SiC MOS キャパシタの試作を行いました。試作に際しては、SiF₄ 濃度、酸化温度、および O₂/Ar 混合比をパラメータとして変化させ、最適な界面形成条件の探索を試みました。作製したデバイスに対し、高周波および低周波 C-V 測定を用いた詳細な電気的特性評価を実施した結果、p 型デバイス特有の挙動として、フラットバンド電圧が理論値から負側へ大きくシフトする現象が確認されました。 この電圧シフトの要因を物理的観点から解明するため、SIMS（二次イオン質量分析）測定による界面近傍の元素分布解析を実施しました。その結果、酸化膜の物理膜厚の評価値と合わせ、酸化膜形成後の大気中の水分との反応によって F の自己分解が生じている可能性が強く示唆されました。これは、同時に検討してきた n 型デバイスでも生じる問題であり、F を用いる際に避けられない現象であることが明らかとなりました。F による界面欠陥の不活性化（パッシベーション）を安定して維持し、かつ電気的安定性を確保するためには、界面に導入された F の離脱を抑制する保護膜（キャップ膜）の導入が重要であるという、次段階への指針が得られました。 本研究で得られたこれらの知見は、極限環境エレクトロニクスという新領域を開拓するための重要な基盤となります。今後は、本学での装置自作のノウハウを活かし、絶縁膜堆積手法を用いた高度な保護膜形成プロセスを確立することで、p 型 SiC デバイスの飛躍的な特性向上と、ひいては極限環境 CMOS 回路の実用化に向けた研究を加速させていきます。			
今後の展開			
本研究で明らかとなった「F 脱離を防ぐ保護膜の必要性」という課題に対し、今後は原子レベルで緻密な制御が可能な絶縁膜堆積技術を用いたキャップ膜形成プロセスを開発し、特性改善を図ります。実用化に向けては、確立した技術シーズを県内外の有力な半導体企業へ展開して共同研究の可能性を探るとともに、外部資金を積極的に獲得し、極限環境デバイスの社会実装を加速させていきます。			